

# Organização de Computadores – 2005/2006

## Processadores Intel

Paulo Ferreira  
paf@dei.isep.ipp.pt

Março de 2006

<b>Pré História</b>	<b>2</b>
8080 .....	3
8086 .....	4
80286 .....	5
<b>História</b>	<b>6</b>
386 .....	7
Confusões .....	8
486 .....	9
Pentium .....	10
Pentium MMX .....	11
<b>Família P6</b>	<b>12</b>
PentiumPro .....	13
Resumo .....	14
Pentium II .....	15
Resumo .....	16
Variantes .....	17
Alterações .....	18
SSE .....	19
<b>História recente</b>	<b>20</b>
Pentium 4 .....	21
Hyperthreading .....	22
Dual Core .....	23
Banias .....	24
Prescott .....	25
IA64 .....	26
Detalhes .....	27

**8080**

- Processador de 8 bits
- «Compatíveis» de 8 bits – 8085 e Z80
- Registos A, B e C, D e E, H e L, SP , PC e flags
- Memória máxima 64 KBytes de Ram
- Problema: teve muito, muito sucesso (principalmente o Z80)
- Sistema operativo típico: CP/M – Digital Research
- Sucessor?

ORGC

Processadores Intel – slide 3

**8086**

- Registos de 16 bits, Barramento de dados de 16 bits
- Registos de dados AX, BX, CX, DX (*dejà vu*)
- E memória máxima?
- 1 MByte que vem de 20 bits de endereço
- $20 \text{ bits} = ( 16 \text{ bits shift left } 4 \text{ bits} ) + 16 \text{ bits}$
- A isto a Intel chamou «segmentação»
- Mais tarde os processadores Intel passaram a ter segmentação (verdadeira)
- Mais comum: 8088 barramento de dados de 8 bits, compatível com periféricos antigos, escolhido para o IBM PC de 1981
- Sistema operativo típico: MS-DOS (clone do CP/M)

ORGC

Processadores Intel – slide 4

**80286**

- Segmentação de outra forma
- Barramento de endereços de 24 bits
- Suporte para 16 MBytes de memória
- Mecanismos de protecção
- «Sistemas Operativos»: Xenix – um Unix da Microsoft, Coherent – Mark Williams Company
- «Melhor Interface»: GeoWorks Ensemble

ORGC

Processadores Intel – slide 5

**386**

- Um enorme salto e o primeiro processador daquilo a que a Intel chama IA32.
- Um processador de 32 bits (registos, barramento de dados e barramento de endereços)
- Suporte para 4 Gbytes de memmória (endereçável ao byte)
- Paginação e segmentação para robustez dos sistemas operativos
- «Sistemas operativos»: Xenix/386, DESQview

ORGC

Processadores Intel – slide 7

**Confusões**

- Compatibilidade com o 8086? – vários modos de funcionamento
- Nomes dos registos – EAX, EBX, ECX, EDX,...
- Convenções Assembler:
  - `addl eax,4` – Intel
  - `addl $4, %eax` – AT&T (Gnu)
- Coprocessador de vírgula flutuante opcional (387)
- 386SX - 386 com barramento de endereços de 24 bits e barramento de dados de 16 bits (16MBytes de memória)

ORGC

Processadores Intel – slide 8

**486**

- Primeiro processador Intel com cache (8 kBytes)
- Coprocessador para vírgula flutuante integrado
- Velocidade do barramento diferente da velocidade do processador (versões DX2 e DX4)

ORGC

Processadores Intel – slide 9

**Pentium**

- P5,P54,P54C
- Duas caches de 8 kbytes + 8 kbytes para Instruções + Dados
- Dois pipelines
- Duas unidades de execução
- Barramento de dados com 64 bits (mas registos de 32 bits)
- Um dos pipelines é mais completo do que o outro!
- Têm os dois cinco andares, mas um tem coisas adicionais
- *Branch Target Buffer* com 4 níveis de previsão de saltos

ORGC

Processadores Intel – slide 10

## Pentium MMX

- P55C
- Duas caches de 16Kbytes + 16 kbytes
- Instruções SIMD de 64 bits (MMX)
- A mesma operação em:
  - 1 número de 64 bits
  - 2 números de 32 bits
  - 4 números de 16 bits
  - 8 números de 8 bits
- Aritmética com saturação

ORGC

Processadores Intel – slide 11

## Família P6

slide 12

### PentiumPro

- Arquitectura P6
- Execução de instruções fora de ordem
- Tradução de instruções CISC para  $\mu$ Ops
  - 2 Tradutores simples (1  $\mu$ Op)
  - 1 Tradutor complexo (1-4  $\mu$ Ops)
- Cerca de 10 andares no Pipeline

ORGC

Processadores Intel – slide 13

### Resumo

- Vantagens:
  - Processador + Cache L2 na mesma embalagem (2 chips diferentes)
  - Cache à mesma frequência de clock do processador
  - Capacidade de multiprocessamento
  - Mais rápido em código de 32 bits
- Desvantagens:
  - Processador + Cache L2 na mesma embalagem (+caro)
  - Cache à mesma frequência de clock do processador (+caro)
  - Capacidade de multiprocessamento (nem sempre é usada)
  - Mais rápido só em código de 32 bits

ORGC

Processadores Intel – slide 14

## Pentium II

- Mesma arquitectura
- Mas embalagem diferente:
  - 1 Circuito impresso com Processador + Cache L2
  - 512 kbytes de cache L2 mas a metade da freq. do processador
  - Embalagem encaixa num slot

ORGC

Processadores Intel – slide 15

## Resumo

- Vantagens:
  - Aumento de frequência de clock
  - Mais barato que Pentium Pro
- Desvantagens:
  - Cache L2 mais lenta
  - Cache com menor performance do que PentiumPro
  - Capacidade de multiprocessamento reduzida a máximo de 2 proc.
  - Novo formato do processador

ORGC

Processadores Intel – slide 16

## Variantes

- Xeon:
  - Cache à mesma freq. do processador e grandes (até 2Mbytes)
  - Capacidade de multiprocessamento
- Pentium II e III:
  - 512 kbytes de cache a  $1/2$  da velocidade do processador
  - Capacidade de multiprocessamento reduzida a máximo de 2 processadores
- Celeron
  - Versões sem cache (ou 128 kbytes de cache)
  - Sem capacidade de multiprocessamento

ORGC

Processadores Intel – slide 17

## Alterações

- Aumento da frequência de clock (processador + barramento)
- Volta aos sockets e abandono dos slots
- Caches L2 mais pequenas (256 kbytes) mas incorporada nos chips
- Instruções SSE a partir do Pentium III (MMX mais evoluído)

ORGC

Processadores Intel – slide 18

## SSE

- SSE – Streaming SIMD Extensions
- MMX partilha registos com *floating point*
- SSE – 8 novos registos (XMM0 a XMM7) de 128 bits
- Podem ter 4 números em vírgula flutuante de 32 bits

ORGC

Processadores Intel – slide 19

## História recente

slide 20


### Pentium 4

- Aumento da velocidade de clock
- 20 andares no pipeline
- Mais unidades de execução (8)
- Cache de instruções L1 armazena  $\mu$ Ops (12k)
  - «Tradução» das instruções antes de as colocar na cache
  - Dá aumento de performance mas complica os saltos
- SSE2 – passamos a ter instruções pra manipular (nos registos XMM0 a XMM7):
  - Números em vírgula flutuante de 64 bits
  - Inteiros de 8, 16, e 32 bits

ORGC

Processadores Intel – slide 21

### Hyperthreading

- Como manter todas as unidades de execução a trabalhar?
- Um programa tem muitas dependências entre instruções. . .
- E se forem vários programas ao mesmo tempo?
- As instruções de um programa não dependem das instruções de outro
- Temos de duplicar as partes da «entrada das instruções» mas as unidades de execução ficam na mesma, e ficam mais «ocupadas»
- Com um pequeno aumento de hardware temos um aumento de performance se estivermos a correr várias tarefas.
- 
  - Processador tem de suportar
  - BIOS tem de suportar
  - Sistema Operativo tem de suportar

ORGC

Processadores Intel – slide 22

## Dual Core

- Dois processadores num chip
- Responde à pergunta: o que fazer com tantas portas lógicas?
  - Passa a ser da responsabilidade do S.O. . . .
- Podem haver diferenças na partilha (ou não) de:
  - Caches L2
  - Acesso à memória
  - etc. . .

ORGC

Processadores Intel – slide 23

## Banias

- aka P6-M, Pentium-M, Dothan e Yonah
- ou Centrino
- Pipeline mais curto que o P4
- Menor frequência de clock, boa performance
- Baixo consumo
- Algumas coisas aproveitadas nos P4 mais recentes
- Fim da frequência de clock

ORGC

Processadores Intel – slide 24

## Prescott

- Celerons 3xx, Pentium 4 5xx, 6xx,
- 31 andares no pipeline
- Cache de 256 kbytes a 2 Mbytes
- SSE3 – mais algumas instruções SSE
- EM64T – Extensões AMD para 64 bits...

ORGC

Processadores Intel – slide 25

## IA64

- Itanium
- EPIC, na realidade VLIW
- Compatibilidade x86 por software
- Execução de várias instruções ao mesmo tempo
- Registos de predicado, registos deslizantes...
- Muito diferente do normal....

ORGC

Processadores Intel – slide 26

## Detalhes

### ■ EPIC – VLIW – MIMD

- Em cada leitura da memória (128 bits) são lidas três instruções
- O processador executa várias instruções ao mesmo tempo
- O programador(compilador) especifica quais as instruções que podem ser executadas ao mesmo tempo

### ■ Registos de predicado

- 1 bit que pode ser usado como destino de instruções
- Depois vai ser usado para condicionar a execução de uma instrução
- Assim temos instruções condicionais que não perturbam o pipeline

### ■ Registos deslizantes

- Usados para «paralelizar» os ciclos
- Em conjunto com os registos de predicado

ORGC

Processadores Intel – slide 27